

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-144867

(43)Date of publication of application : 29.05.1998

(51)Int.Cl.

H01L 27/04

H01L 21/822

H01G 4/33

(21)Application number : 08-301808

(71)Applicant : NEC CORP

(22)Date of filing : 13.11.1996

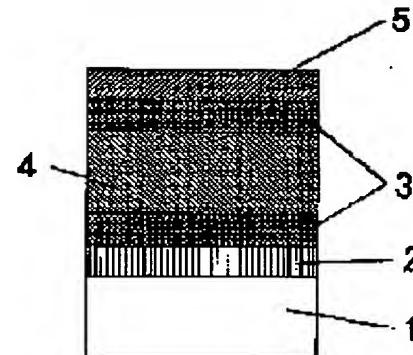
(72)Inventor : SAKUMA TOSHIYUKI

(54) THIN FILM CAPACITOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a thin film capacitor wherein a dielectric constant does not substantially deteriorate even when a capacitor insulating film formed of a thin film made of a high dielectric constant material is used, and therefore, a sufficiently large capacitance is obtained even with a small area.

SOLUTION: A thin film capacitor is provided with a high dielectric constant film 4 formed of a material having a high dielectric constant and a pair of electrode films 2 and 5 which sandwich the high dielectric constant film. An antiferroelectric thin film 3 made of a material exhibiting antiferroelectric characteristic is provided between the high dielectric constant film 4 and the electrodes 3 and 5.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-144867

(43)公開日 平成10年(1998)5月29日

(51)Int.Cl.⁶

H 01 L 27/04
21/822
H 01 G 4/33

識別記号

F I

H 01 L 27/04
H 01 G 4/06

C

102

審査請求 有 請求項の数4 O L (全4頁)

(21)出願番号 特願平8-301808

(22)出願日 平成8年(1996)11月13日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 佐久間 敏幸

東京都港区芝五丁目7番1号 日本電気株
式会社内

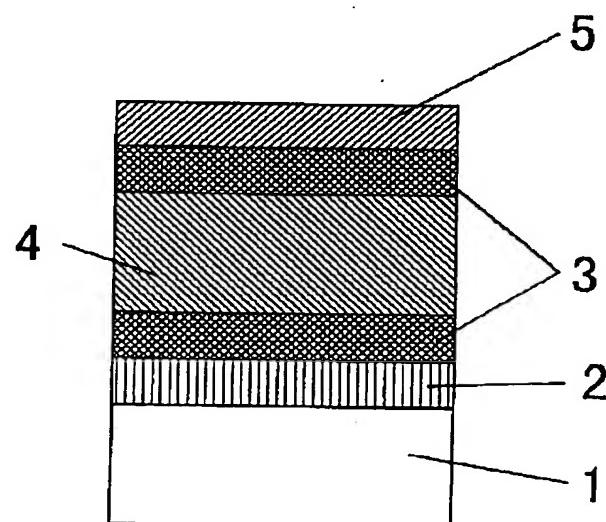
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 薄膜キャパシタ

(57)【要約】

【課題】 本発明は、高誘電率の材料を薄膜化したキャパシタ絶縁膜を用いても、実質的に誘電率が低下することが無く、従って小面積であっても十分に大きな容量値を得ることができる薄膜キャパシタを提供することを目的とする。

【解決手段】 高誘電率を示す材料からなる高誘電率膜4と、この高誘電率膜を挟持する一対の電極膜2、5とを有する薄膜キャパシタにおいて、前記高誘電率膜と前記電極膜との間に、反強誘電性を示す材料からなる反強誘電体薄膜3を設けたことを特徴とする薄膜キャパシタ。



【特許請求の範囲】

【請求項1】 高誘電率を示す材料からなる高誘電率膜と、この高誘電率膜を挟持する一対の電極膜とを有する薄膜キャパシタにおいて、

前記高誘電率膜と前記電極膜との間に、反強誘電性を示す材料からなる反強誘電体薄膜を設けたことを特徴とする薄膜キャパシタ。

【請求項2】 前記反強誘電体薄膜が、 $PbZrO_3$ 薄膜、または $PbZrO_3$ を主成分とする $Pb(Zr, Ti)O_3$ もしくは $(Pb, La)(Zr, Ti)O_3$ 薄膜で構成される請求項1記載の薄膜キャパシタ。

【請求項3】 高誘電率を示す材料からなる高誘電率膜と、この高誘電率膜を挟持する一対の電極膜とを有する薄膜キャパシタにおいて、

前記高誘電率膜と前記電極膜との間に一般式 $(B_1O_2)^{2-}(A_{m-1}B_mO_{3m+1})^{2-}$ で表されるビスマス層状化合物で形成された薄膜を設けたことを特徴とする薄膜キャパシタ。(式中、Aは+1、+2および+3価から選ばれる価数のイオンであり、Bは+4、+5および+6価から選ばれる価数のイオンであり、mは1～5の正の整数を表し、かつ $A_{m-1}B_mO_{3m+1}$ の価数が-2価になるようにAおよびBの価数とmが選ばれる。)

【請求項4】 請求項1～3のいずれかに記載の薄膜キャパシタを用いた集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は集積回路で使用される薄膜キャパシタに関するもので、特に大規模集積回路(LSI)に適用可能な、単位面積当たりの容量を大きくできる薄膜キャパシタの構造に関する。

【0002】

【従来技術】近年のLSIの高集積化により、特に一つのMOS型トランジスタとキャパシタでメモリセルを構成するDRAM(ダイナミック・ランダム・アクセスメモリ)などでは一つのメモリセルの面積は縮小の一途をたどっている。一方では、この縮小した面積においても必要な容量値は常に一定の値が要求されるので、次のような方法を単独で、または組み合わせて必要な容量値を確保することが行われている。

【0003】すなわち、薄膜キャパシタの絶縁膜の膜厚を薄くする方法、薄膜キャパシタの構造を立体化して電極面積を大きくする方法、絶縁膜を高誘電率の誘電体材料で構成する方法(たとえばK. Koyama他 Technical Digest of IEEE International Electron Devices Meeting 1991, P. 823)などである。

【0004】

【発明が解決しようとする課題】しかしながら、従来技術において二酸化シリコン膜とシリコン窒化膜の積層膜

が絶縁膜として多く使用されてきたが、膜厚を単純に薄くすると電極間のリーク電流が大きくなるので、薄膜化には限界がある。また、一方的なキャパシタ構造の立体化は製造プロセスの複雑化を招き、結果として製造コストの上昇と製品歩留まりの減少を引き起こしてしまう危険性がある。

【0005】これらに対し、従来から使用されてきた二酸化シリコン膜やシリコン窒化膜の誘電率に比較して非常に大きな誘電率をもつ、 $(Ba, Sr)TiO_3$ 薄膜などのような、高誘電率を有する材料をキャパシタ絶縁膜として使用する方法は、必要な容量値を縮小された面積で単純なキャパシタ構造で実現できる可能性があるものの、一方では近年の高集積化に対応した微細化にともない膜厚を非常に薄くする必要がある。ところが、高誘電率を有する材料では膜厚が概ね100nmより薄くなると実質的な誘電率が頭著に減少し、単位面積当たりの容量値は膜厚減少とともに単調に大きくならずほとんど飽和してしまう傾向を示す。このため、単純な薄膜化によって必要な容量値を確保するのは難しくなるという欠点がある。

【0006】本発明は、高誘電率の材料を薄膜化したキャパシタ絶縁膜を用いても、実質的に誘電率が低下することが無く、従って小面積であっても十分に大きな容量値を得ることができる薄膜キャパシタを提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、高誘電率を示す材料からなる高誘電率膜と、この高誘電率膜を挟持する一対の電極膜とを有する薄膜キャパシタにおいて、前記高誘電率膜と前記電極膜との間に、反強誘電性を示す材料からなる反強誘電体薄膜を設けたことを特徴とする薄膜キャパシタに関する。

【0008】反強誘電体薄膜を形成する材料としては、ペロブスカイト構造の反強誘電性材料が好ましく、特に $PbZrO_3$ 、または $PbZrO_3$ を主成分とする $Pb(Zr, Ti)O_3$ もしくは $(Pb, La)(Zr, Ti)O_3$ が好ましい。ここで、 $Pb(Zr, Ti)O_3$ は、 $PbZrO_3$ と $PbTiO_3$ との固溶体を表し、同様に $(Pb, La)(Zr, Ti)O_3$ は4種類の成分の固溶体を表す。

【0009】ここで $Pb(Zr, Ti)O_3$ においては、少なくとも反強誘電性を示す程度に $PbZrO_3$ が含まれていることが必要であり、特に $PbZrO_3$ が95モル%以上含まれていることが好ましい。また、 $(Pb, La)(Zr, Ti)O_3$ においては、特に $Zr : Ti$ 比が70:30以上の Zr リッチで、 $Pb : La$ 比が80:20以上の Pb リッチな組成が好ましい。

【0010】また、本発明は、高誘電率を示す材料からなる高誘電率膜と、この高誘電率膜を挟持する一対の電極膜とを有する薄膜キャパシタにおいて、前記高誘電率

膜と前記電極膜との間に一般式 $(B_{i_2}O_2)^{2-} (A_{m-1}B_{n-1}O_{m+n})^{2-}$ で表されるビスマス層状化合物で形成された薄膜を設けたことを特徴とする薄膜キャパシタに関する。

【0011】式中、Aは+1、+2および+3価から選ばれる価数のイオンであり、Bは+4、+5および+6価から選ばれる価数のイオンであり、mは1～5の正の整数を表し、かつ $A_{m-1}B_{n-1}O_{m+n}$ の価数が-2価になるようにAおよびBの価数とmが選ばれる。

【0012】AおよびBとしては、上記の関係を満たす価数のイオンであれば特に制限は無い。例えば+2価のAとしてBaおよびSr等、+3価のAとしてTi等を挙げることができる。また、同様に例えば+4価のBとしてTl等、+5価のBとしてNbおよびTa等、+6価のBとしてW等を挙げができる。

【0013】反強誘電性材料およびビスマス層状化合物の薄膜形成方法は、特に制限はなくゾルゲル法、CVD法およびスパッタ法等を用いることができる。

【0014】本発明で用いられる高誘電率膜を形成する高誘電率を示す材料としては、誘電率として、例えば約40以上(比誘電率)を示す材料であり、ペロブスカイト型結晶構造をとる材料が好ましく、特に $BaTiO_3$ 、 $SrTiO_3$ 、 $PbTiO_3$ およびこれらの固溶体が好ましい。これらの固溶体において、組成比は必要な誘電率が得られように任意に選択することができる。

【0015】高誘電率膜の形成方法は、特に制限はなく、スパッタ法、CVD法等によって形成することができる。

【0016】また、本発明の薄膜キャパシタは、小面積で大容量を得ることができるので集積度の高い集積回路に好ましく用いることができる。

【0017】

【発明の実施の形態】本発明の薄膜キャパシタの構造によれば、上部および下部電極とキャパシタ絶縁膜の界面に電気的に形成される低誘電率の層の膜厚を最小に押さえることができるので、キャパシタ絶縁膜の全膜厚が例えば50nm以下まで減少してもキャパシタ全体の実質的な誘電率が顕著に減少しないようになることができる。

【0018】この電気的に形成される低誘電率層は、電極と誘電体とのフェルミエネルギーの差に起因する空間電荷層が形成される結果、高誘電率を有する誘電体材料が電界の影響を受けて低誘電率を示すようになるために生じていると考えられる。したがって、この空間電荷層の厚さをできるだけ薄くすることが、キャパシタ絶縁膜全体の誘電率を大きくすることにつながる。

【0019】本発明では、第1に結晶の単位胞内において反平衡の電気分極を有する反強誘電性材料を挿入することで、上下電極との界面に形成される空間電荷層を最小にすることによって可能となる。また、第2に結晶の

単位胞内においてビスマスの酸化導電層を有するビスマス層状化合物を上下電極との界面に挿入する構造とすることで、上下電極との界面に形成される空間電荷層をビスマスの酸化導電層で抑制し空間電荷膜厚を最小にすることによって可能となる。

【0020】

【実施例】次に、実施例を用いて本発明を具体的に説明する。

【0021】【実施例1】図1は本発明の第1の実施例を示したものである。基板としてサファイアR面基板1を使用し、この基板を洗浄後、下部電極2としてパラジウムを基板温度約300°Cで300nmの厚さにスパッタ成膜した後、 $PbZrO_3$ 薄膜3を公知のゾルゲル法により約10nm形成した。この上に $(Ba_{0.5}Sr_{0.5})TiO_3$ 膜4をスパッタ法により基板温度約650°Cで約30nm形成した。

【0022】さらに $PbZrO_3$ 薄膜3をゾルゲル法により約10nm厚に形成した後、上部電極5としてTiおよびAuをこの順にそれぞれ50nmおよび300nmの厚さに堆積し、公知の光リソグラフィーおよびウェットエッティングにより上部電極を形成した。

【0023】この構造の薄膜キャパシタでは、全キャパシタ絶縁膜厚が50nm～25nmまで、 $(Ba_{0.5}Sr_{0.5})TiO_3$ 薄膜の膜厚を30nm～5nmまで薄くして形成したが、誘電率は250以上の値を示し、膜厚依存性は顕著ではなかった。また、 $PbZrO_3$ 薄膜の膜厚を10nmから5nm程度まで減少させても、誘電率に変化はなかった。

【0024】【実施例2】図2は本発明の第2の実施例を示したものである。基板としてシリコン基板11を使用し、基板を熱酸化して二酸化シリコン膜12を表面に形成した後、下部電極13として RuO_2 を基板温度約500°Cで50nmの厚さにスパッタ成膜した。

【0025】この上にビスマス層状化合物として $Ti_{3}O_2$ 薄膜14を公知のゾルゲル法により約10nm形成した後、 $(Ba_{0.5}Sr_{0.5})TiO_3$ 膜15をスパッタ法により基板温度約650°Cで約30nm形成した。さらに $BaTi_3O_2$ 薄膜14をゾルゲル法により約10nm厚で形成した後、上部電極16としてTiおよびAuをこの順にそれぞれ50nmおよび300nmの厚さに堆積し、公知の光リソグラフィーおよびウェットエッティングにより上部電極を形成した。

【0026】この構造の薄膜キャパシタでは、全キャパシタ絶縁膜厚が50nm～25nmまで、 $(Ba_{0.5}Sr_{0.5})TiO_3$ 膜の膜厚を30nm～5nmまで薄くして形成したが、誘電率は250以上の値を示し、膜厚依存性は顕著ではなかった。

【0027】

【発明の効果】本発明の薄膜キャパシタの構造によれば、高誘電率の材料を薄膜化したキャパシタ絶縁膜を用

5

いても、実質的に誘電率が低下することが無く、従って小面積であっても十分に大きな容量値を得ることができると薄膜キャパシタを提供することができる。

【0028】従って、本発明の薄膜キャパシタを用いることにより、製造プロセスを複雑化することなく集積度の高いLSI等の集積回路を製造することができる。

【図面の簡単な説明】

【図1】電極と高誘電率膜との間に反強誘電体薄膜を設けた薄膜キャパシタの1例の構造を模式的に示す断面図である。

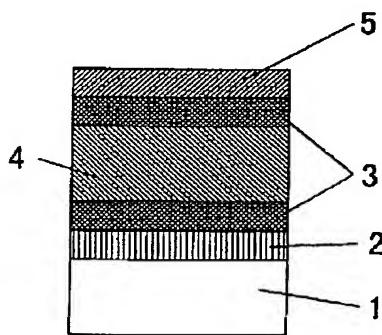
【図2】電極と高誘電率膜との間にビスマス層状化合物薄膜を設けた薄膜キャパシタの1例の構造を模式的に示す断面図である。

*

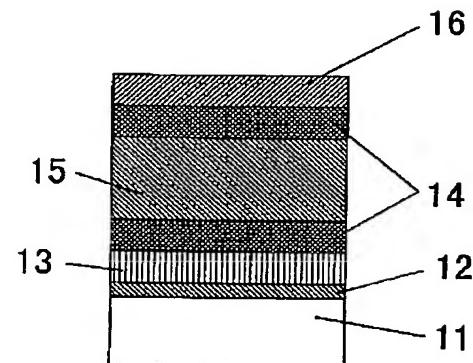
* 【符号の説明】

- 1 サファイア基板
- 2 Pd下部電極
- 3 PbZrO₃薄膜
- 4 (Ba_{0.5} Sr_{0.5}) TiO₃膜
- 5 Au/Ti積層上部電極
- 11 シリコン基板
- 12 二酸化シリコン膜
- 13 RuO₂下部電極
- 14 Bi₄Ti₃O₁₂
- 15 (Ba_{0.5} Sr_{0.5}) TiO₃膜
- 16 Au/Ti積層上部電極

【図1】



【図2】



*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS**[Claim(s)]**

[Claim 1]A high dielectric constant film which consists of material in which high permittivity is shown.

An electrode layer of a couple which pinches this high dielectric constant film.

It is the thin film capacitor provided with the above, and an anti-ferroelectric substance thin film which consists of material in which antiferroelectricity is shown was provided between said high dielectric constant film and said electrode layer.

[Claim 2]The thin film capacitor according to claim 1 which comprises Pb(Zr, Ti) O₃ or (Pb, La) (Zr, Ti) O₃ thin film in which said anti-ferroelectric substance thin film uses a PbZrO₃ thin film or PbZrO₃ as the main ingredients.

[Claim 3]A high dielectric constant film which consists of material in which high permittivity is shown.

An electrode layer of a couple which pinches this high dielectric constant film.

It is the thin film capacitor provided with the above, and a thin film formed between said high dielectric constant film and said electrode layer with a bismuth layer-like compound expressed with general formula $(Bi_2O_2)^{2+}(A_{m-1}B_mO_{3m+1})^{2-}$ was provided.

(Among a formula, A is ion of a valence chosen from +1, +2, and +3 value, and) B is ion of a valence chosen from +4, +5, and +6 value, and a valence of A and B and m are chosen so that m may express a positive integer of 1-5 and a valence of O_{3m} of A_{m-1}B_m+1 may become -2 value.

[Claim 4]An integrated circuit using the thin film capacitor according to any one of claims 1 to 3.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] This invention relates to the thin film capacitor used with an integrated circuit, and relates to a structure of the thin film capacitor which can enlarge capacity per unit area especially applicable to large scale integration circuit (LSI).

[0002]

[Description of the Prior Art] By high integration of LSI in recent years, reduction of the area of one memory cell is being enhanced especially by DRAM (dynamic random access memory) which constitutes a memory cell from one MOS transistor and a capacitor. On the other hand, since a value with required always constant capacity value is required also in this reduced area, being independent, or combining the following methods and securing required capacity value is performed.

[0003] Namely, the method of making thin thickness of the insulator layer of a thin film capacitor, the method of solidifying the structure of a thin film capacitor and enlarging an electrode area, It is the method (for example, Technical Digest of IEEE Internation Electron Devices Meeting 1991 besides KKoyama, P.823) of constituting an insulator layer from dielectric materials of high permittivity, etc.

[0004]

[Problem(s) to be Solved by the Invention] However, although many cascade screens of a diacid-ized silicone film and a silicon nitride film have been used as an insulator layer in conventional technology, since inter-electrode leakage current will become large if thickness is simply made thin, there is a limit in thin film-ization. Solidification of one-sided capacitor structure causes complication of a manufacturing process, and there is a danger of causing the rise of a manufacturing cost and reduction of a product yield as a result.

[0005]. As compared with the dielectric constant of the diacid-ized silicone film and silicon nitride film which have been used from the former to these, have a very big dielectric constant. (Ba, Sr) The method of using the material which has the high permittivity of a TiO_3 thin film etc. as a capacitor insulating film, It is necessary to make thickness very thin

apart from what may be realizable by simple capacitor structure in connection with the minuteness making corresponding to high integration in recent years in the area to which required capacity value was reduced. However, with the material which has high permittivity, if thickness becomes thinner in general than 100 nm, a substantial dielectric constant will decrease notably, and the capacity value per unit area shows the tendency which does not become large in monotone but is almost saturated with thickness reduction. For this reason, securing required capacity value by simple thin film-ization has the fault of becoming difficult.

[0006]Even if it uses the capacitor insulating film which thin-film-ized material of high permittivity, a dielectric constant does not fall substantially, therefore an object of this invention is to provide the thin film capacitor which can acquire capacity value big enough even if it is a small area.

[0007]

[Means for Solving the Problem]In a thin film capacitor which has a high dielectric constant film which consists of material in which high permittivity is shown, and an electrode layer of a couple which pinches this high dielectric constant film, this invention relates to a thin film capacitor providing an anti-ferroelectric substance thin film which consists of material in which antiferroelectricity is shown between said high dielectric constant film and said electrode layer.

[0008]As a material which forms an anti-ferroelectric substance thin film, antiferroelectricity material of a perovskite structure is preferred and $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ or $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ which uses PbZrO_3 or PbZrO_3 as the main ingredients especially is preferred. Here, $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ expresses a solid solution of PbZrO_3 and PbTiO_3 , and O_3 expresses a solid solution of four kinds of ingredients in a similar manner $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})$.

[0009]it is required to contain PbZrO_3 in $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$, here to such an extent that antiferroelectricity is shown at least -- especially -- PbZrO_3 -- more than 95 mol % -- being contained is preferred. moreover -- in $\text{O}(\text{Zr} (\text{Pb}, \text{La}), \text{Ti})_3$ -- especially -- a Zr:Ti ratio -- 70:30 or more Zr -- rich -- a Pb:La ratio -- 80:20 or more Pb(s) -- a rich presentation is preferred.

[0010]In a thin film capacitor which has a high dielectric constant film in which this invention consists of material in which high permittivity is shown, and an electrode layer of a couple which pinches this high dielectric constant film, It is related with a thin film capacitor providing a thin film formed between said high dielectric constant film and said electrode layer with a bismuth layer-like compound expressed with general formula $(\text{Bi}_2\text{O}_2)^{2+}(\text{A}_{m-1}\text{B}_m\text{O}_{3m+1})^{2-}$.

[0011]A is ion of a valence chosen from +1, +2, and +3 value among a formula, B is ion of a valence chosen from +4, +5, and +6 value, and a valence of A and B and m are chosen so

that m may express a positive integer of 1-5 and a valence of O_{3m} of $A_{m-1}B_m^{+1}$ may become -2 value.

[0012]If it is the ion of a valence which fills the above-mentioned relation as A and B, there will be no restriction in particular. For example, Ba, Sr, etc. can mention Bi etc. as A of +3 value as A of +2 value. Ti etc. can mention W etc. as B of +6 values, such as Nb and Ta, as B of +5 value as B of +4 value similarly.

[0013]Restriction in particular does not have a method for forming thin film of antiferroelectricity material and a bismuth layer-like compound, and a sol gel process, a CVD method, a sputtering technique, etc. can be used for it.

[0014]As a material in which high permittivity which can form a high dielectric constant film used by this invention is shown, As a dielectric constant, it is the material in which about 40 (specific inductive capacity) or more are shown, for example, and material which takes a Perovskite type crystal structure is preferred, and $BaTiO_3$, $SrTiO_3$, $PbTiO_3$, and these solid solutions are especially preferred. In these solid solutions, a required dielectric constant can choose composition ratio arbitrarily for it to be obtained.

[0015]Restriction in particular does not have a formation method of a high dielectric constant film, and it can be formed with a sputtering technique, a CVD method, etc.

[0016]Since the thin film capacitor of this invention can acquire large scale with a small area, it can be preferably used for an integrated circuit with a high degree of location.

[0017]

[Embodiment of the Invention]Since the thickness of the layer of the lower dielectric constant electrically formed in the interface of the upper part and a lower electrode, and a capacitor insulating film can be pressed down to the minimum according to the structure of the thin film capacitor of this invention, Even if all the thickness of a capacitor insulating film decreases to 50 nm or less, the substantial dielectric constant of the whole capacitor can be prevented from decreasing notably.

[0018]It is thought that these low permittivity layers formed electrically are produced in order for the dielectric materials which have high permittivity to show a lower dielectric constant in response to the influence of an electric field, as a result of forming the space charge layer resulting from the difference of the Fermi energy of an electrode and a dielectric. Therefore, making thickness of this space charge layer as thin as possible leads to enlarging the dielectric constant of the whole capacitor insulating film.

[0019]In this invention, it becomes possible by making into the minimum the space charge layer formed in an interface with an up-and-down electrode by inserting the antiferroelectricity material which has [1st] the electric polarization of an anti-balance in the unit cell of a crystal. It becomes possible by controlling the space charge layer formed in an interface with an up-and-down electrode by the oxidation conductive layer of bismuth, and making space charge thickness into the minimum by considering it as the structure which inserts in an interface with an up-and-down electrode the bismuth layer-like

compound which has [2nd] an oxidation conductive layer of bismuth in the unit cell of a crystal.

[0020]

[Example]Next, this invention is concretely explained using an example.

[0021][Example 1] Drawing 1 shows the 1st example of this invention. The sapphire R side board 1 was used as a substrate, and after washing this substrate, after carrying out weld slag membrane formation of the palladium with the substrate temperature of about 300 ** as the lower electrode 2 at a thickness of 300 nm, about 10 nm of PbZrO_3 thin films 3 were formed by the publicly known sol gel process. Besides, about 30 nm of $\text{TiO}(\text{Ba}_{0.5}\text{Sr}_{0.5})_3$ films 4 were formed with the substrate temperature of about 650 ** by the sputtering technique.

[0022]After forming the PbZrO_3 thin film 3 in about 10-nm thickness by a sol gel process furthermore, Ti and Au were deposited on this order as the upper electrode 5 at a thickness of 50 nm and 300 nm, respectively, and the upper electrode was formed by publicly known optical lithography and wet etching.

[0023]Although all the capacitor insulation peritoneum thickness made thin thickness of the $\text{TiO}(\text{Ba}_{0.5}\text{Sr}_{0.5})_3$ thin film and formed it to 30 nm - 5 nm to 50 nm - 25 nm in the thin film capacitor of this structure, the dielectric constant showed 250 or more values, and thickness dependency was not remarkable. Even if it decreased the thickness of the PbZrO_3 thin film from 10 nm to about 5 nm, it was changeless to a dielectric constant.

[0024][Example 2] Drawing 2 shows the 2nd example of this invention. The silicon substrate 11 was used as a substrate, and after oxidizing the substrate thermally and forming the diacid-ized silicone film 12 in the surface, weld slag membrane formation of the RuO_2 was carried out with the substrate temperature of about 500 ** as the lower electrode 13 at a thickness of 50 nm.

[0025]After forming abbreviation 10 nm of $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ thin films 14 by a publicly known sol gel process as a bismuth layer-like compound besides, about 30 nm of $\text{TiO}(\text{Ba}_{0.5}\text{Sr}_{0.5})_3$ films 15 were formed with the substrate temperature of about 650 ** by the sputtering technique. After forming the $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ thin film 14 by about 10-nm thickness by a sol gel process furthermore, Ti and Au were deposited on this order as the upper electrode 16 at a thickness of 50 nm and 300 nm, respectively, and the upper electrode was formed by publicly known optical lithography and wet etching.

[0026]Although all the capacitor insulation peritoneum thickness made thin thickness of the $\text{TiO}(\text{Ba}_{0.5}\text{Sr}_{0.5})_3$ film and formed it to 30 nm - 5 nm to 50 nm - 25 nm in the thin film capacitor of this structure, the dielectric constant showed 250 or more values, and thickness dependency was not remarkable.

[0027]

[Effect of the Invention]According to the structure of the thin film capacitor of this invention, even if it uses the capacitor insulating film which thin-film-ized material of high permittivity, a dielectric constant does not fall substantially, therefore even if it is a small area, the thin film capacitor which can acquire capacity value big enough can be provided.

[0028]Therefore, integrated circuits, such as LSI with a high degree of location, can be manufactured by using the thin film capacitor of this invention, without complicating a manufacturing process.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a sectional view showing typically the structure of one example of the thin film capacitor which provided the anti-ferroelectric substance thin film between the electrode and the high dielectric constant film.

[Drawing 2]It is a sectional view showing typically the structure of one example of the thin film capacitor which provided the bismuth layer-like compound thin film between the electrode and the high dielectric constant film.

[Description of Notations]

1 Silicon on sapphire

2 Pd lower electrode

3 PbZrO₃ thin film

4 (Ba_{0.5}Sr_{0.5}) TiO₃ film

5 Au/Ti lamination upper electrode

11 Silicon substrate

12 Diacid-ized silicone film

13 RuO₂ lower electrode

14 Bi₄Ti₃O₁₂

15 (Ba_{0.5}Sr_{0.5}) TiO₃ film

16 Au/Ti lamination upper electrode

[Translation done.]